

PROGRAMMA SVOLTO di Sistemi e Reti

A. S. 2024-25 - Classe 3C

Docenti: Conte Fernando – Quarantiello Ivano (ITP)

Libro di testo

Gateway Terza edizione Vol. 1 di Anelli S., Macchi P. - Ed. Petrini

UDA1 – Architettura dell'elaboratore

L1 Il sistema di elaborazione e la CPU

- Introduzione
- I sistemi
- Il sistema di elaborazione
- L'architettura di von Neumann
- Il bus di sistema
- Le componenti della CPU
- L'Unità di controllo(CU)
- I registri
- L'Unità Aritmetico-Logica(ALU)
- Il clock
- Esecuzione di un istruzione

L2 La memoria

- Introduzione: memoria primaria e memorie secondarie
- Capacità della memoria
- La memoria primaria o centrale
- L'indirizzo di memoria
- La decodifica degli indirizzi
- Il bus di sistema e l'interazione tra CPU e RAM
- Ciclo di lettura e scrittura
- Considerazione sulla dimensione del bus
- Esecuzione di un programma
- Esecuzione dell'istruzione
- Lo stack
- Operazioni sullo stack
- Le memorie a semiconduttore
- La RAM
- La cache memory
- La ROM
- Confronto tra le memorie a semiconduttore
- Le memorie di massa
- La gerarchia delle memorie
- I principi di località
- L'algoritmo LRU (*Least Recently Used*)
- Il controllo degli errori di memoria

L3 Le periferiche di I/O

Introduzione
Le periferiche
Le interfacce
L'indirizzamento
La trasmissione dei dati
Tecniche per la gestione delle periferiche

L5 Evoluzione dei microprocessori

Introduzione
Prestazioni di un sistema a microprocessore
Overclocking
Il progresso delle architetture dei sistemi di elaborazione
Pipeline
Multi-Core
Due diverse filosofie di progettazione delle architetture: CISC e RISC
Architetture alternative nel gestire con la memoria dati e istruzioni.

UDA2 – Utilizzo dei sistemi di elaborazione (Laboratorio)

L6 Ambienti di elaborazione

Introduzione
Il Personal Computer
Il case
L'alimentatore
La scheda madre
La CPU
Il chipset
La connessione alle periferiche interne
La connessione alle periferiche esterne
Le memorie presenti sulla scheda madre
Il BIOS e l'avvio del sistema
Le schede grafiche e la GPU

L7 L'architettura del microprocessore 8086

Introduzione
Architettura 8086
I registri
L'organizzazione della memoria
Ambiente di sviluppo per programmi Assembly 8086

- Struttura di un programma assembly
- Segmenti del programma
- Istruzione di chiusura e riga di commento
- Istruzione di assegnazione
- Operazione di addizione e sottrazione
- Operazione di moltiplicazione e divisione
- Visualizzazione dei risultati

UDA3 – Architettura di rete: l'accesso alla rete

L10 Le reti

Introduzione
I sistemi complessi
Teoria delle reti
Le reti informatiche
La classificazione delle reti informatiche
Protocolli di comunicazione
Standard internazionali
Architettura di rete
Il modello ISO/OSI e l'architettura TCP/IP
Funzionamento dell'architettura a livelli
La rete Internet

L11 Il livello Fisico

Introduzione
Schema della comunicazione di Shannon
Il livello fisico e i suoi compiti
La trasmissione del segnale
I mezzi trasmissivi

- Il cavo in rame
- La fibra ottica
- La trasmissione wireless

I segnali
Tecniche di codifica
Trasmissione seriale
Modalità di trasmissione
Accesso multiplo al canale

Lez12 Il livello collegamento dati

Introduzione
Il livello Data Link e i suoi compiti

Laboratorio

Realizzazione di un cavo ethernet di tipo "dritto" e "cross"
Introduzione a Cisco Packet Tracer
Realizzazione con Cisco Packet Tracer di una rete a stella con Hub/Switch
Realizzazione con Cisco Packet Tracer di una rete Wi-Fi con Home Router wireless.
Realizzazione con Cisco Packet Tracer di due reti LAN collegate mediante un router

Educazione Civica

Lo smart working. L'impatto delle tecnologie informatiche sull'ambiente.

Cagliari, 04/06/2025

I docenti

Prof. Fernando Conte
Prof. Ivano Quarantiello